

平成29年度 独創的研究助成費 実績報告書

平成30年 3月30日

報告者	学科名	情報通信工学科	職名	助教	氏名	小椋 清孝
研究課題	ZYNQプロセッサにおけるハードウェアライブラリに関する研究					
研究組織	氏名	所属・職	専門分野	役割分担		
	代表 分担者	小椋清孝	情報通信工学科・助教	集積回路工学	研究全般	
研究実績 の概要	<p>プロセッサとFPGAが一つのデバイスに集積されたSoC FPGAの1つである Xilinx ZYNQ プロセッサで動作する Linux 上において、ソフトウェアプログラムが容易に利用可能な FPGA ハードウェアアクセラレーション可能なハードウェアライブラリ開発に関する研究を行った。</p> <p>このようなハードウェアライブラリの役目は、主に画像処理などの重い処理のアクセラレーションである。画像処理用のライブラリとして有名な OpenCV については、既に Xilinx からハードウェアライブラリが提供されている。本研究では、より基本的な標準ライブラリ(数学ライブラリなど)をハードウェア化することにより、様々なプログラムの性能向上を行うことを目指した。</p> <p>実装基盤として、ARM プロセッサ (SW 部) と FPGA 部(HW 部)が混載されている ZYNQ プロセッサ(Xilinx 社)を選択し、さらにその上で実行する OS として Xilinx (Xillybus 社)を用いた。これを用いて構成した HW 部の構成を図1に示す。ARM プロセッサと HW 部は入力用・出力用の FIFO を通してデータを授受する。テスト回路の部分にアクセラレーションを行う HW 処理を実装する。HW 処理の設計には、Xilinx VIVADO の高位合成ツールを用いた。</p> <p>画像処理などでは、データ並列性が高いことからパイプライン処理を行うことにより FIFO によるデータ転送時間のオーバーヘッドを隠ぺいすることが可能となり、総じて処理性能を向上することができる。一方、今回の検討では単一データを授受するような形となり、処理によっては、HW へ転送するよりも(遅くても)SW でそのまま実行した方が早いという物も出てくるのが考えられたため、ライブラリ中のすべての関数をハードウェア化するのではなく、いくつかのライブラリ関数について実行時間の評価(ソフトウェア実行時と HW アクセラレーション時との比較)を行うこととした。現在、数学ライブラリの関数について評価を行っている。</p>					
成果資料目録	なし					

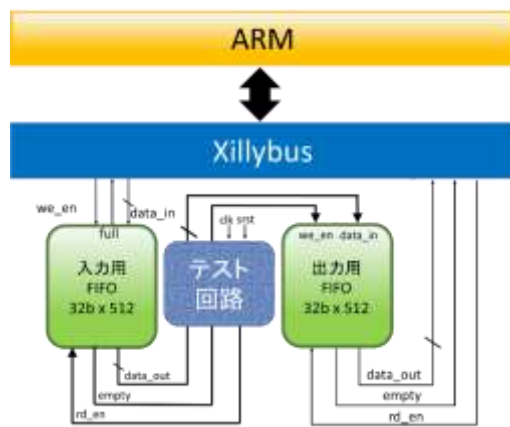


図1 ZYNQ を用いた SW/HW 構成